



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09172612 A**(43) Date of publication of application: **30 . 06 . 97**

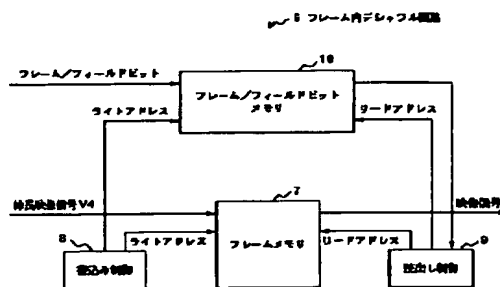
(51) Int. Cl.

H04N 5/93
H04N 5/92
(21) Application number: **07349632**(22) Date of filing: **20 . 12 . 95**(71) Applicant: **SANYO ELECTRIC CO LTD**
 (72) Inventor: **MURASHIMA HIROSHI**
SUNAKAWA OSAMI
TANAKA TATSUO
(54) STILL IMAGE GENERATING CIRCUIT**(57) Abstract:**

PROBLEM TO BE SOLVED: To generate a still image without shake as to a moving image part and having a high vertical resolution as to a still image part with respect to a recording medium in which one image pattern is divided into plural blocks and video signals are compressed and recorded to each block.

SOLUTION: An original video signal read from a recording medium is expanded for each block and the resulting signal is fed to an in-frame de-shuffle circuit 6. The circuit 6 is provided with a frame memory 7 storing expanded video signals for one frame, a write control circuit 8 controlling the write of the signals to the frame memory 7, and a read control circuit 9 controlling the read of the signal from the frame memory 7 for each block and reading alternately the expanded video signals for two fields as to blocks with high inter-field correlation and reading repetitively the expanded video signal of one field as to blocks with low inter-field correlation.

COPYRIGHT: (C)1997,JPO



【特許請求の範囲】

【請求項1】 映像信号の記録に際して1画面が複数のブロックに分割され、ブロック毎に映像信号が圧縮されて記録されている記録媒体を対象として、該記録媒体に記録されている映像信号を読み出して、静止画を生成する回路であって、

記録媒体に記録されている原映像信号を読み出す信号読出し手段と、

読み出された原映像信号に対し、ブロック毎に画像伸長処理を施す画像伸長手段と、

画像伸長手段から出力される1フレーム分の伸長映像信号を格納することが可能なフレームメモリと、

フレームメモリに対する伸長映像信号の書き込みを制御する書き込み制御手段と、

フレームメモリからの伸長映像信号の読出しを1或いは複数のブロックからなる画面領域毎に制御し、フィールド間の相関が高い画面領域については、奇数フィールド及び偶数フィールドの伸長映像信号をフィールド周期で交互に読み出し、フィールド間の相関が低い画面領域については、何れか一方に固定されたフィールドの伸長映像信号をフィールド周期で繰り返し読み出す読出し制御手段とを具備していることを特徴とする静止画生成回路。

【請求項2】 映像信号の記録に際して1画面が複数のブロックに分割され、各ブロックの映像信号の連続する2フィールド間の相関が所定の閾値よりも高いときは、フレーム内でブロック毎に映像信号が圧縮され、前記相関が所定の閾値よりも低いときは、フィールド内でブロック毎に映像信号が圧縮されると共に、各ブロックがフレーム内/フィールド内の何れで圧縮されているかを表わすフレーム/フィールドビットが、各ブロックの圧縮映像信号と共に記録されている記録媒体を対象として、該記録媒体から原映像信号を読み出して、静止画を生成する回路であって、

記録媒体に記録されている原映像信号を読み出す信号読出し手段と、

読み出された原映像信号からフレーム/フィールドビットを抽出すると共に、各ブロックの原映像信号にフレーム/フィールドビットに応じた画像伸長処理を施して、これによって得られた伸長映像信号をフレーム/フィールドビットと共に出力する画像伸長手段と、

画像伸長手段から出力される1フレーム分のフレーム/フィールドビットを格納することが可能なフレーム/フィールドビットメモリと、

画像伸長手段から出力される1フレーム分の伸長映像信号を格納することが可能なフレームメモリと、

フレーム/フィールドビットメモリ及びフレームメモリに対するデータの書き込みを制御する書き込み制御手段と、

フレーム/フィールドビットメモリに格納されているフレーム/フィールドビットに応じて、フレームメモリからの伸長映像信号の読出しを1或いは複数のブロックか

らなる画面領域毎に制御し、フィールド間の相関が高いことを表わすフレーム/フィールドビットが優勢である画面領域については、奇数フィールド及び偶数フィールドの伸長映像信号をフィールド周期で交互に読み出し、フィールド間の相関が低いことを表わすフレーム/フィールドビットが優勢である画面領域については、何れか一方に固定されたフィールドの伸長映像信号をフィールド周期で繰り返し読み出す読出し制御手段とを具備していることを特徴とする静止画生成回路。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル映像信号が圧縮されて記録されている記録媒体を対象として、該記録媒体に記録されている映像信号を読み出して、静止画を生成する回路に関するものである。

【0002】

【従来の技術】HD(High Definition)デジタルVCR協議会において、映像信号をデジタルデータとして記録し、再生するデジタルVTRの規格化が検討されている。ここで、磁気テープには、輝度又は色差の隣接する8×8画素を単位としてDCT(離散コサイン変換)による画像圧縮の施された映像信号が記録される。

【0003】図5は、デジタルVTRの信号記録系を表わしている。映像信号は、先ずフレーム内シャフル回路(11)へ送られて、該回路内に1フレーム分が格納された後、次の画像圧縮における情報量を確率的に均一化するためのシャフリングが施される。具体的には、輝度信号の縦8画素×横32画素の矩形の映像部分を1マクロブロックとして、1画面上の分散した5つの位置から夫々マクロブロックを採取する。

【0004】シャフリングの施された原映像信号V1は画像圧縮回路(12)へ送られて、上述の5つのマクロブロックを圧縮の1単位として、一定の符号量に圧縮される。画像圧縮に於いては、マクロブロックの中から8画素×8画素のブロックを取り出して、これにDCTを施した後、更に量子化・可変長符号化を施す。この際、5つのマクロブロックを合わせた符号量が可変長符号化後に一定となる様に、符号量を制御する。

【0005】ところで、通常のテレビジョン受像機では、インターレース走査を行なっているため、奇数フィールドと偶数フィールドは、空間的には互いに補間する関係にあるものの、時間的には前後しているため、画面中の静止している部分については、奇数フィールドと偶数フィールドの画像の相関が高く、奇数フィールドと偶数フィールドを合わせてフレーム画として画像圧縮を施した方が効率的であるのに対し、動きのある部分については、奇数フィールドと偶数フィールドの相関が低いいため、両フィールドを別々に画像圧縮の方が効率的である。

【0006】そこで、画像圧縮回路(12)には、図6に示

す如く、フレーム内で8画素×8画素の大きさを有するデータ群にDCTを施す第1DCT回路(16)と、フィールド内で8画素×4画素の大きさを有する2つのデータ群に別々にDCTを施す第2DCT回路(17)と、原映像信号V1のフィールド間の相関の高さを判定するフィールド相関判定回路(18)とを並列に設け、フィールド相関判定回路(18)から得られるフレーム/フィールドビットによって、両DCT回路(16)(17)の出力端に接続した切換えスイッチ(19)を切り換えることが行なわれる。該切換えスイッチ(19)の出力端には量子化・可変長符号化回路(20)が接続される。量子化・可変長符号化回路(20)の出力信号は混合回路(21)へ供給されて、フィールド相関判定回路(18)からのフレーム/フィールドビットと混合され、圧縮映像信号V2として図5に示す誤り訂正符号付加回路(13)へ送出される。

【0007】圧縮映像信号V2は、誤り訂正符号付加回路(13)にてテープに記録すべき順番に並べ替えられた後、誤り訂正符号が付加され、更に同期信号付加回路(14)にて同期信号が付加され、その後、変調回路(15)を経てテープ記録に必要な変調が施された上で、磁気ヘッドへ送出され、磁気テープに記録されることになる。

【0008】一方、図7は、デジタルVTRの信号再生系を表わしている。磁気ヘッドによって前記磁気テープから読み出された信号は、先ず信号処理回路(22)にて増幅及び等化処理を受け、更に復調・同期検出回路(23)にて復調・同期検出処理を受けた後、誤り訂正回路(24)へ供給されて、誤り検出及び誤り訂正が施される。誤り訂正回路(24)にて誤り訂正が不能であった部分については、後段のエラー補間回路(25)にて以前のフレームのデータを用いて補間処理が施される。この様にして得られた原映像信号V3は画像伸長回路(26)へ供給され、画像圧縮時の処理とは逆の処理を受けて、元の映像信号に復元される。

【0009】即ち、画像伸長回路(26)に於いては、図8に示す如く原映像信号V3が可変長符号復号・逆量子化回路(28)へ入力されると共に、該回路(28)の後段には、フレーム内で8画素×8画素の大きさを有するデータ群に対して逆DCTを施す第1逆DCT回路(29)と、フィールド内で8画素×4画素の大きさを有する2つのデータ群に別々に逆DCTを施す第2逆量子化回路(30)とが並列に接続されている。又、原映像信号V3はフレーム/フィールドビット抽出回路(31)へ供給され、これによって原映像信号V3から抽出されたフレーム/フィールドビットは、両逆DCT回路(29)(30)の出力端に接続した切換えスイッチ(32)へ供給されて、切換えスイッチ(32)の切換えが行なわれる。

【0010】この結果、フレーム内で画像圧縮が施されたブロックについては、フレーム内で画像伸長が施され、フィールド内で画像圧縮が施されたブロックについては、フィールド内で画像伸長が施されることになる。

この様にして得られた伸長映像信号V4は、図7のフレーム内デシャフル回路(27)へ供給され、各ブロックのデータを画面上の元の位置へ戻すためのデシャフリングが施された後、通常の映像信号としてディスプレイ装置(図示省略)へ出力される。

【0011】

【発明が解決しようとする課題】ところで、上述の如きデジタルVTRに於いては、静止面の生成は次のようにして行なうことが出来る。即ち、図7に示すフレーム内デシャフル回路(27)に、1フレーム分のデータが送られた後、磁気テープの走行を停止させると共に、フレーム内デシャフル回路(27)へのデータの入力も停止する。そして、フレーム内デシャフル回路(27)に格納されている1フレーム分のデータの内、奇数或いは偶数の何れか一方のフィールドの映像データをフィールド周期でディスプレイ装置へ繰り返し出力するのである。

【0012】この様に、一方のフィールドのみを用いて静止面を生成するのは、前述の如く1フレーム中の奇数フィールドと偶数フィールドには、時間的な差があるため、画面中に動く被写体が存在する場合、奇数フィールドと偶数フィールドを交互に出力すると、被写体の画像がぶれて、見づらい静止画となるからである。しかしながら、1フレーム中の1フィールドのみに基づく静止画においては、静止した画像部分の垂直解像度が通常の2分の1に低下する欠点がある。

【0013】上述の如く、静止した画像部分と動く画像部分が混在する画面を対象とする静止画に於いて、1フレーム中の1フィールドのみに基づく静止画を採用した場合には、静止した画像部分の垂直解像度が低下する欠点があり、1フレーム中の2フィールドに基づく静止画を採用した場合には、動く画像部分にぶれが生じ、垂直解像度の改善とぶれの解消とは両立しない問題があった。

【0014】本発明の目的は、静止した画像部分については高い垂直解像度が得られると同時に、動く画像部分についてはぶれのない静止面を生成することの出来る静止面生成回路を提供することである。

【0015】

【課題を解決する為の手段】本発明に係る静止面生成回路は、映像信号の記録に際して1画面が複数のブロックに分割され、ブロック毎に映像信号が圧縮されて記録されている記録媒体を対象として、該記録媒体に記録されている映像信号を読み出して、静止面を生成する回路であって、(a) 記録媒体に記録されている原映像信号を読み出す信号読出し手段、(b) 読み出された原映像信号に対し、ブロック毎に画像伸長処理を施す画像伸長手段、(c) 画像伸長手段から出力される1フレーム分の伸長映像信号を格納することが可能なフレームメモリ、(d) フレームメモリに対する伸長映像信号の書込みを制御する書込み制御手段、及び(e) フレームメモリか

らの伸長映像信号の読出しを1或いは複数のブロックからなる画面領域毎に制御し、フィールド間の相関が高い画面領域については、奇数フィールド及び偶数フィールドの伸長映像信号をフィールド周期で交互に読み出し、フィールド間の相関が低い画面領域については、何れか一方のフィールドの伸長映像信号をフィールド周期で繰り返し読み出す読出し制御手段を具えている。

【0016】上記静止画生成回路に於いては、静止画生成指令が発せられた時点で、書込み制御手段がフレームメモリに対する伸長映像信号の書込みを制御して、1フ

フレーム分の伸長映像信号がフレームメモリに格納され、その後はフレームメモリへのデータの書込みは停止される。

【0017】次に、読出し制御手段がフレームメモリからの伸長映像信号の読出しを1或いは複数のブロックからなる画面領域毎に制御する。例えば奇数フィールドを構成する1本の水平走査線上のデータを読み出す過程で、フィールド間の相関が高い画面領域については、奇数フィールドの伸長映像信号を読み出し、フィールド間の相関が低い画面領域については、何れか一方に固定されたフィールド(例えば奇数フィールド)の伸長映像信号を読み出す。その後、偶数フィールドを構成する1本の水平走査線上のデータを読み出す過程で、フィールド間の相関が高い画面領域については、偶数フィールドの伸長映像信号を読み出し、フィールド間の相関が低い画面領域については、前記一方に固定されたフィールド(奇数フィールド)の伸長映像信号を読み出す。

【0018】尚、各画面領域についてのフィールド相関の高低は、例えば画面領域内の画像の動きを検出することによって、或いは奇数フィールドと偶数フィールドの画像データの相関係数を算出することによって容易に判断することが出来る。

【0019】この結果、フィールド間の相関が高い画面領域については、2フィールドに基づく静止画が生成されることとなって、垂直解像度が改善され、フィールド間の相関が低い画面領域については、何れか一方のフィールドのみに基づく静止画が生成されることとなって、動く画像のぶれが防止される。

【0020】又、本発明に係る静止画生成回路は、映像信号の記録に際して1画面が複数のブロックに分割され、各ブロックの映像信号の連続する2フィールド間の相関が所定の閾値よりも高いときは、フレーム内でブロック毎に映像信号が圧縮され、前記相関が所定の閾値よりも低いときは、フィールド内でブロック毎に映像信号が圧縮されると共に、各ブロックがフレーム内/フィールド内の何れで圧縮されているかを表わすフレーム/フィールドビットが、各ブロックの圧縮映像信号と共に記録されている記録媒体を対象として、該記録媒体から原映像信号を読み出して、静止画を生成する回路であって、(a) 記録媒体に記録されている原映像信号を読み

出す信号読出し手段、(b) 読み出された原映像信号からフレーム/フィールドビットを抽出すると共に、各ブロックの原映像信号にフレーム/フィールドビットに応じた画像伸長処理を施して、これによって得られた伸長映像信号をフレーム/フィールドビットと共に出力する画像伸長手段、(c) 画像伸長手段から出力される1フレーム分のフレーム/フィールドビットを格納することが可能なフレーム/フィールドビットメモリ、(d) 画像伸長手段から出力される1フレーム分の伸長映像信号を格納することが可能なフレームメモリ、(e) フレーム/フィールドビットメモリ及びフレームメモリに対するデータの書込みを制御する書込み制御手段、及び(f) フレーム/フィールドビットメモリに格納されているフレーム/フィールドビットに応じて、フレームメモリからの伸長映像信号の読出しを1或いは複数のブロックからなる画面領域毎に制御し、フィールド間の相関が高いことを表わすフレーム/フィールドビットが優勢である画面領域については、奇数フィールド及び偶数フィールドの伸長映像信号をフィールド周期で交互に読み出し、フィールド間の相関が低いことを表わすフレーム/フィールドビットが優勢である画面領域については、何れか一方に固定されたフィールドの伸長映像信号をフィールド周期で繰り返し読み出す読出し制御手段を具えている。

【0021】上記静止画生成回路に於いては、静止画生成指令が発せられた時点で、書込み制御手段が、フレーム/フィールドビットメモリに対するフレーム/フィールドビットの書込みと、フレームメモリに対する伸長映像信号の書込みを制御して、1フレーム分の伸長映像信号がフレームメモリに格納されると共に、1フレーム分のフレーム/フィールドビットがフレーム/フィールドビットメモリに格納され、その後は両メモリへのデータの書込みは停止される。

【0022】次に、読出し制御手段が、フレーム/フィールドビットメモリに格納されているフレーム/フィールドビットに基づいて、フレームメモリからの伸長映像信号の読出しを1或いは複数のブロックからなる画面領域毎に制御する。例えば奇数フィールドを構成する1本の水平走査線上のデータを読み出す過程で、フィールド間の相関が高いことを表わすフレーム/フィールドビットが優勢な画面領域については、先ず奇数フィールドの伸長映像信号を読み出し、フィールド間の相関が低いことを表わすフレーム/フィールドビットが優勢な画面領域については、何れか一方に固定されたフィールド(例えば奇数フィールド)の伸長映像信号を読み出す。その後、偶数フィールドを構成する1本の水平走査線上のデータを読み出す過程で、フィールド間の相関が高いことを表わすフレーム/フィールドビットが優勢な画面領域については、偶数フィールドの伸長映像信号を読み出し、フィールド間の相関が低いことを表わすフレーム/

10

20

30

40

50

フィールドビットが優勢な画面領域については、前記一方に固定されたフィールド(奇数フィールド)の伸長映像信号を読み出す。

【0023】尚、各画面領域についてのフレーム／フィールドビットのフィールド相関に関する優劣は、例えばその画面領域に含まれる各ブロックのフレーム／フィールドビットの平均値によって容易に判断することが出来る。

【0024】この結果、フィールド間の相関が高い画面領域については、2フィールド(1フレーム)に基づく静止画が生成されることとなって、垂直解像度が改善され、フィールド間の相関が低い画面領域については、何れか一方のフィールドのみに基づく静止画が生成されることとなって、動く画像のぶれが防止される。

【0025】

【発明の効果】本発明に係る静止画生成回路によれば、静止した画像部分については高い垂直解像度が得られると同時に、動く画像部分についてはぶれの無い静止画を生成することが出来る。

【0026】

【発明の実施の形態】以下、本発明をデジタルVTRに実施した形態につき、図面に沿って詳述する。尚、該デジタルVTRの信号記録系は、図5及び図6に示す従来の構成と同一であって、DCTを施す単位となる8画素×8画素のブロック(DCTブロック)毎に、連続する2フィールド間の相関が所定の閾値よりも高いときはフレーム内で映像信号が圧縮され、前記相関が所定の閾値よりも低いときはフィールド内で映像信号が圧縮されると共に、各ブロックがフレーム内／フィールド内の何れで圧縮されているかを表わすフレーム／フィールドビットが、各ブロックの圧縮映像信号と共に磁気テープに記録される。

【0027】図1は、本発明に係るデジタルVTRの信号再生系を表わしている。磁気ヘッドによって前記磁気テープから読み出された信号は、先ず信号処理回路(1)にて増幅及び等化処理を受け、更に復調・同期検出回路(2)にて復調・同期検出処理を受けた後、誤り訂正回路(3)へ供給されて、誤り検出及び誤り訂正が施される。誤り訂正回路(3)にて誤り訂正が不能であった部分については、後段のエラー補間回路(4)にて以前のフレームのデータを用いて補間処理が施される。この様にして得られた原映像信号V3は画像伸長回路(5)へ供給され、画像圧縮時の処理とは逆の処理を受けて、元の映像信号に復元される。

【0028】画像伸長回路(5)の構成は、図8に示す従来の画像伸長回路(26)と同一であって、フレーム内で画像圧縮が施されたブロックについては、フレーム内で画像伸長が施され、フィールド内で画像圧縮が施されたブロックについては、フィールド内で画像伸長が施される。この様にして得られた伸長映像信号V4とフレーム

／フィールドビットは、図1のフレーム内デシャフル回路(6)へ供給され、各ブロックのデータを画面上の元の位置へ戻すためのデシャフリングが施された後、通常の映像信号としてディスプレイ装置(図示省略)へ出力される。

【0029】又、フレーム内デシャフル回路(6)は、従来と同様のデシャフリングのための機能を有すると共に、静止画生成のための回路構成として図2に示す如く、前記画像伸長回路(5)から出力される1フレーム分のフレーム／フィールドビットを格納することが可能なフレーム／フィールドビットメモリ(10)と、前記画像伸長回路(5)から出力される1フレーム分の伸長映像信号V4を格納することが可能なフレームメモリ(7)と、フレーム／フィールドビットメモリ(10)及びフレームメモリ(7)へライトアドレスを供給する書込み制御回路(8)と、フレーム／フィールドビットメモリ(10)及びフレームメモリ(7)へリードアドレスを供給する読出し制御回路(9)とを具えている。

【0030】書込み制御回路(8)は、静止画生成指令に応じて、1フレーム分の伸長映像信号V4をフレームメモリ(7)に書き込むと同時に、1フレーム分のフレーム／フィールドビットをフレーム／フィールドビットメモリ(10)に書き込んで、その後は両メモリへのデータの書込みを停止する。

【0031】この過程で、書込み制御回路(8)は、同期信号又は再生ブロックの番号に基づいて、そのブロックの画面上の位置に対応する映像信号ライトアドレスを発生して、フレームメモリ(7)の画面との対応位置に、ブロック単位で送られてきた映像信号を書き込む。

【0032】又、書込み制御回路(8)は、同時に送られてくるブロック毎のフレーム／フィールドビットについては、そのブロックの画面上の位置に対応するフレーム／フィールドビットライトアドレスを発生して、フレーム／フィールドビットメモリ(10)の画面との対応位置に、ブロック毎のフレーム／フィールドビットを書き込む。

【0033】その後、読出し制御回路(9)は、フレーム／フィールドビットメモリ(10)に格納されているブロック毎のフレーム／フィールドビットを順次読み出して、その値に応じて、フレームメモリ(7)からの伸長映像信号の読出しをブロック毎に制御する。例えば奇数フィールドを構成すべき1本の水平走査線上のデータを読み出す過程で、フィールド間の相関が高いことを表わすフレーム／フィールドビットが書き込まれているブロックについては、奇数フィールドの伸長映像信号を読み出し、フィールド間の相関が低いことを表わすフレーム／フィールドビットが書き込まれているブロックについては、固定された何れか一方のフィールド(例えば奇数フィールド)の伸長映像信号を読み出す。その後、偶数フィールドを構成すべき1本の水平走査線上のデータを読み出

10

20

30

40

50

す過程で、フィールド間の相関が高いことを表わすフレーム／フィールドビットが書き込まれているブロックについては、偶数フィールドの伸長映像信号を読み出し、フィールド間の相関が低いことを表わすフレーム／フィールドビットが書き込まれているブロックについては、前記固定された一方のフィールド(奇数フィールド)の伸長映像信号を読み出す。

【0034】例えば図3に示す如く、フィールド間の相関が高いDCTブロック1と、フィールド間の相関が低いDCTブロック2とが隣接している場合、図4(a)に示す如く奇数フィールドを構成すべき奇数ライン上のデータを読み出す過程では、DCTブロック1では、奇数ラインの伸長映像信号を読み出した後、DCTブロック2では、奇数ラインの伸長映像信号を読み出す。次に、図4(b)に示す如く偶数フィールドを構成すべき偶数ライン上のデータを読み出す過程では、DCTブロック1では、偶数ラインの伸長映像信号を読み出した後、DCTブロック2では、奇数ラインの伸長映像信号を読み出すのである。

【0035】この結果、フィールド間の相関が高いDCTブロック1については、2フィールド(1フレーム)に基づく静止画が生成されることとなって、垂直解像度が改善され、フィールド間の相関が低いDCTブロック2については、奇数フィールドのみに基づく静止画が生成されることとなって、動く画像のぶれが防止される。従って、静止画の背景を伴って被写体が移動する映像を対象として静止画を生成する場合、背景部分については高い垂直解像度が保たれ、移動する被写体については、ぶれのない静止画像が得られることになる。

【0036】又、図1及び図2に示す回路によれば、画像の圧縮及び伸長に用いられるフレーム／フィールドビットを利用して、各DCTブロックのフィールド間の相関の高低が判断されるので、相関性の判断のために特別な回路を付加する必要がなく、回路構成の簡略化が図られる。

【0037】上記実施の形態の説明は、本発明を説明するためのものであって、特許請求の範囲に記載の発明を限定し、或は範囲を減縮する様に解すべきではない。

又、本発明の各部構成は上記実施の形態に限らず、特許*

* 請求の範囲に記載の技術的範囲内で種々の変形が可能であることは勿論である。例えば、2フィールドに基づく静止画を生成すべきか、或いは1フィールドに基づく静止画を生成すべきかを切り換える画面領域の大きさは、上記実施例の如く1つのDCTブロックとする方式に限らず、複数のDCTブロックを1つの画面領域の大きさとする方式の採用も可能である。この場合、1つの画面領域に含まれる複数のDCTブロックのフレーム／フィールドビットを平均し、該平均値によってフィールド間の相関の高低を判断することが可能である。

【図面の簡単な説明】

【図1】本発明に係るデジタルVTRの信号再生系の構成を表わすブロック図である。

【図2】フレーム内デシャフル回路の構成を表わすブロック図である。

【図3】隣接する2つのDCTブロックを表わす図である。

【図4】奇数フィールド及び偶数フィールドについてのデータの読出し制御を説明する図表である。

【図5】デジタルVTRの信号記録系の構成を表わすブロック図である。

【図6】画像圧縮回路の構成を表わすブロック図である。

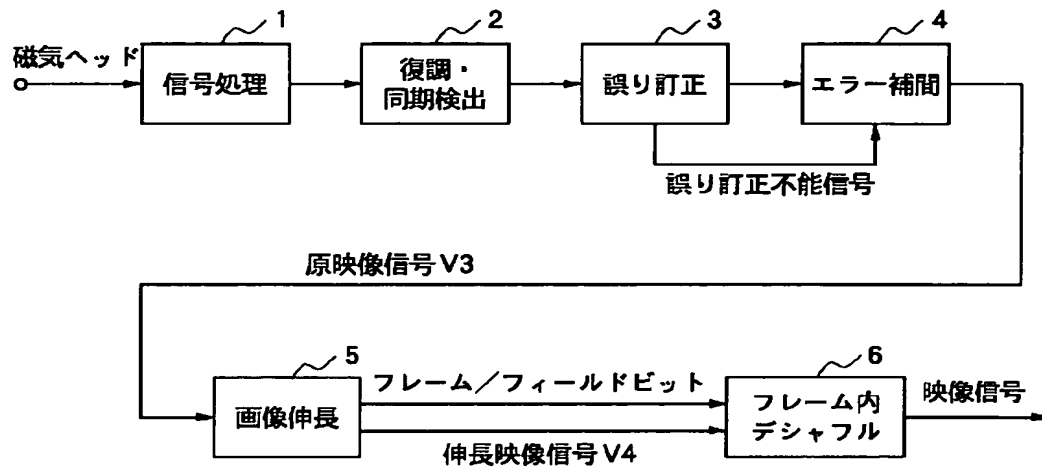
【図7】従来のデジタルVTRの信号再生系の構成を表わすブロック図である。

【図8】画像伸長回路の構成を表わすブロック図である。

【符号の説明】

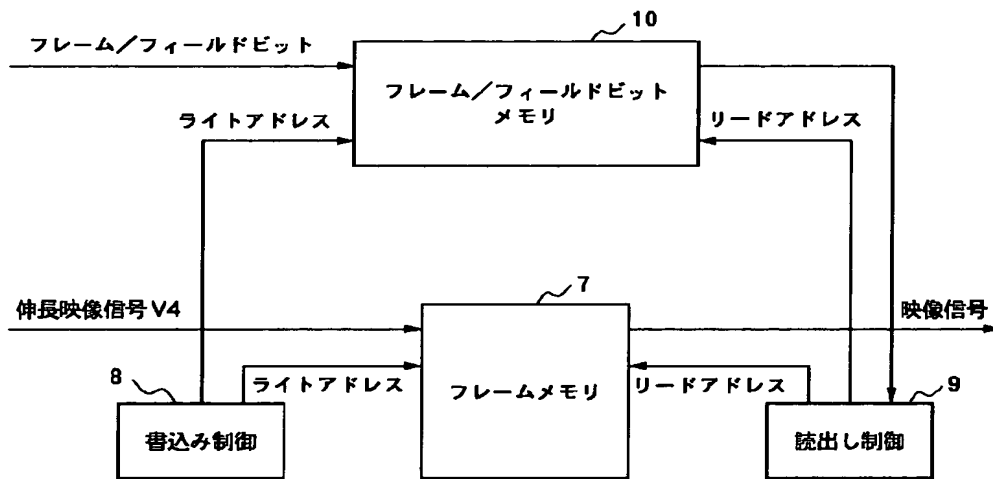
- (1) 信号処理回路
- (2) 復調・同期検出回路
- (3) 誤り訂正回路
- (4) エラー補間回路
- (5) 画像伸長回路
- (6) フレーム内デシャフル回路
- (7) フレームメモリ
- (8) 書込み制御回路
- (9) 読出し制御回路
- (10) フレーム／フィールドビットメモリ

【図1】

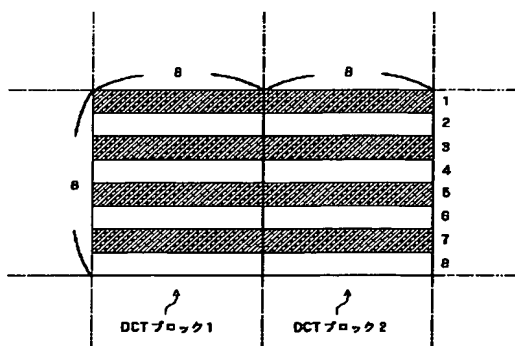


【図2】

6 フレーム内デシャフル回路



【図3】



【図4】

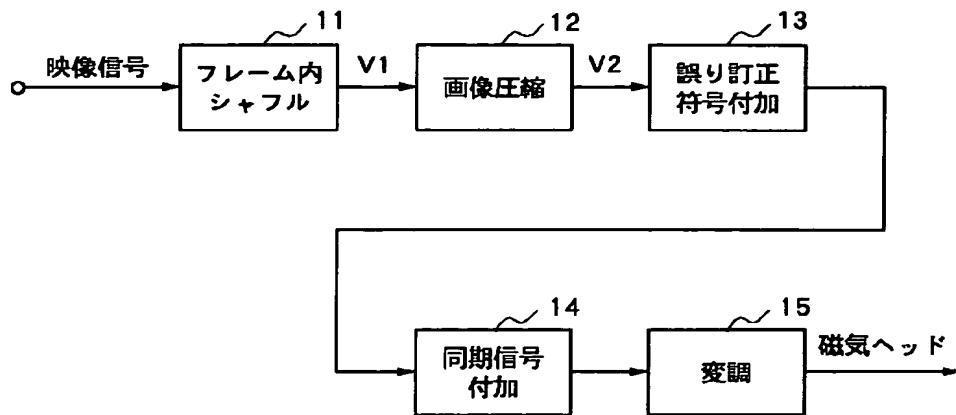
(a) 奇数フィールド

.....	DCTブロック1 (フレーム)	DCTブロック2 (フィールド)
.....	ライン1	ライン1
.....	ライン3	ライン3
.....	ライン5	ライン5
.....	ライン7	ライン7

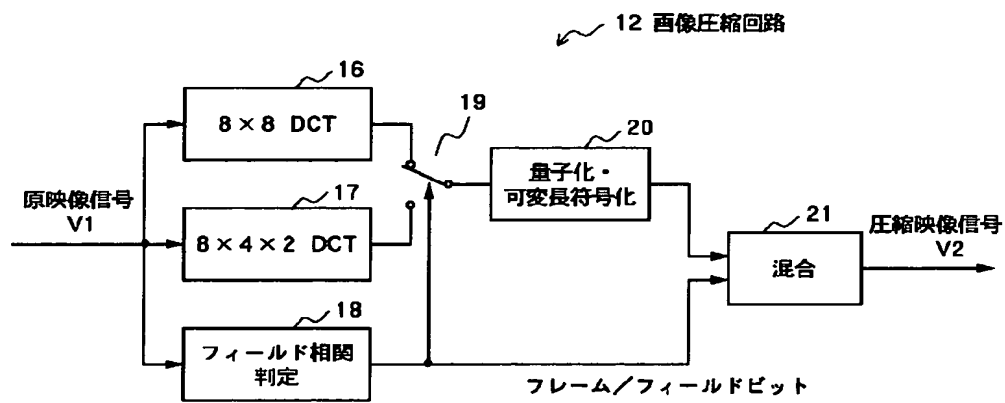
(b) 偶数フィールド

.....	DCTブロック1 (フレーム)	DCTブロック2 (フィールド)
.....	ライン2	ライン1
.....	ライン4	ライン3
.....	ライン6	ライン5
.....	ライン8	ライン7

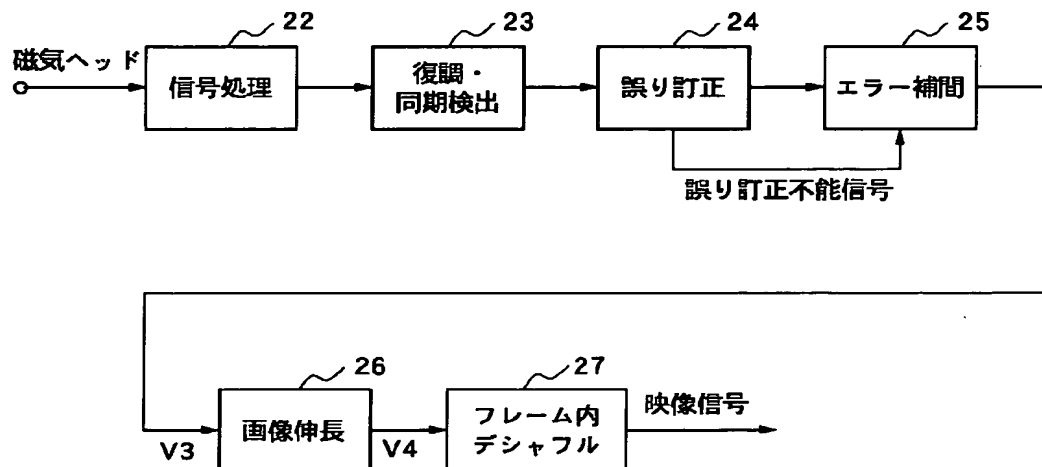
【図5】



【図6】



【図7】



【図 8】

